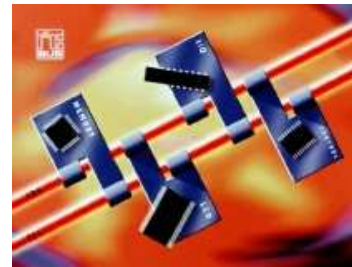


Bus I²C




Introducción

- 1980: Philips desarrolla el Bus de 2 alambres I²C para la comunicación de circuitos integrados.
- Se han otorgado licencias a más de 50 compañías, encontrándonos con más de 1000 dispositivos electrónicos compatibles con I²C.
- Originalmente fue especificado para 100 kbits/s, e intencionalmente, para el control simple de señales, esto, sumado a su bajo costo, versatilidad técnica y simplicidad aseguraron su popularidad.



Evolución Del Bus I²C

- Actualmente el Bus ha sido modificado para alcanzar velocidades de hasta 3.4 Mbits/s.
- Combinado con una función de desplazamiento del nivel de voltaje, en modo High-speed (Hs-mode) ofrece una solución ideal para los sistemas de tecnología mezclada, donde las altas velocidades y la variedad de voltajes (5 V, 3 V o menor) son comúnmente usados.

- 
- El modo Hs es compatible con todos los sistemas existentes del bus I²C, incluyendo el estándar original (S-mode) y el modo Fast (F-mode), actualización introducida en 1992, proveyendo 400 kbits/s en transferencia.
 - Diferentes sistemas de velocidad pueden ser mezclados fácilmente, con un dispositivo maestro en modo Hs especialmente desarrollado, la conexión en paralelo es usada para conectar las partes más lentas del sistema, todos los dispositivos en modo Hs se comunicarán bidireccionalmente a toda velocidad mientras se utilicen los modos F/S (Fast/Standard) de velocidades con las partes más lentas del sistema.




Principales Equipos Con El Bus Incorporado

- Los procesadores de señal o "*jungla*" en televisores (LA7610, TA1223, DTC810,...)
- Memorias 24Cxx
- Codificadores de video de reproductores de DVD (SAA 7128, TC 90A32F,...)
- Preamplificadores de video en monitores (KB 2502)
- Etc...



Características más salientes del bus I²C son:

- Se necesitan solamente dos líneas, la de datos (SDA) y la de reloj (SCL).
- Cada dispositivo conectado al bus tiene un código de dirección seleccionable mediante software. Habiendo permanentemente una relación Master/ Slave entre el micro y los dispositivos conectados.

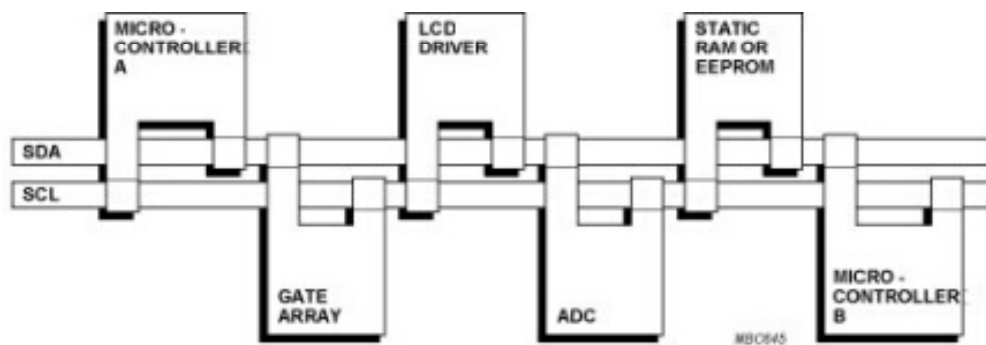
- 
- El bus permite la conexión de varios Masters, ya que incluye un detector de colisiones.
 - El protocolo de transferencia de datos y direcciones posibilita diseñar sistemas completamente definidos por software.
 - Los datos y direcciones se transmiten con palabras de 8 bits.



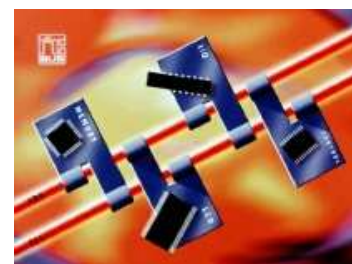
Criterios para Utilizar I²C

- Un sistema consiste en al menos un microcontrolador y varios sistemas periféricos como memorias o circuitos diversos.
- El costo de conexión entre los varios dispositivos dentro del sistema debe de ser el mínimo.
- El sistema que utiliza este Bus no requiere una alta tasa de transferencia de datos.

- La total eficacia del sistema depende de la correcta selección de la naturaleza de los dispositivos y de la interconexión de la estructura del bus.



Protocolo





Terminología básica del Bus I²C

Términos	Descripción
Transmisor	El dispositivo que envía datos al Bus
Receptor	El dispositivo que recibe datos desde el Bus
Master (Maestro)	El dispositivo que inicia una transferencia, genera las señales del reloj y termina un envío de datos
Slave (Esclavo)	El dispositivo direccionado por un master
Multi-Master	Más de un master puede controlar el bus al mismo tiempo sin corrupción de los mensajes
Arbitraje	Procedimiento que asegura que si uno o mas master simultáneamente deciden controlar el Bus solo uno es permitido a controlarlo y el mensaje saliente no es deteriorado
Sincronización	Procedimiento para sincronizar las señales del reloj de dos o mas dispositivos



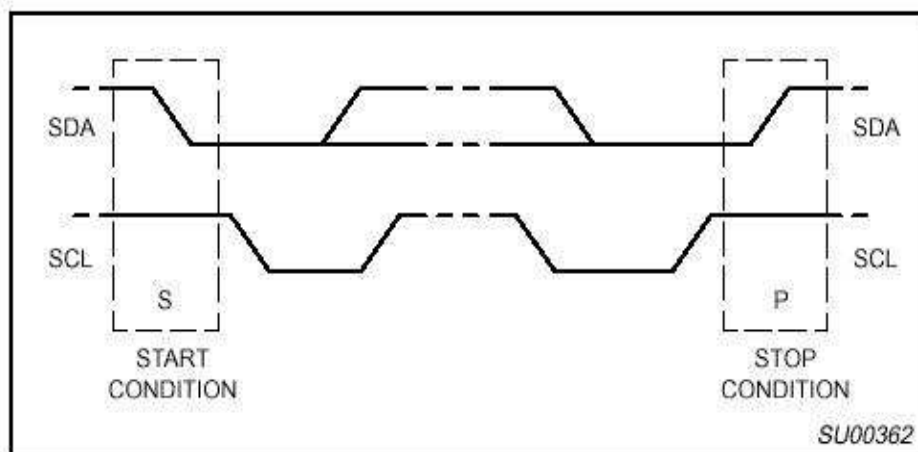
Instrucciones en el I²C Bus

- Para operar un esclavo sobre el Bus I²C solo son necesarios seis simples pasos, suficientes para enviar o recibir información.
- Un bit de Inicio
- 7-bit o 10-bit de direccionamiento
- Un R/W bit que define si el esclavo es transmisor o receptor
- Un bit de reconocimiento
- Mensaje dividido en bytes
- Un bit de Stop

Condiciones de Inicio (Start) y Stop

Dentro del proceso de transferencia de datos en el bus I2C hay dos situaciones básicas que son el inicio y el Stop de toda transferencia de datos. Estas son:

- INICIO (START) - Una transición de "1" a "0" (caída) en la línea de datos (SDA) mientras la línea del reloj (SCL) esta a "1".
- PARADA (STOP) - Una transición de "0" a "1" (ascenso) en la línea de datos (SDA) mientras la línea de reloj (SCL) esta a "1".



Las condiciones de Inicio y Stop son siempre generadas por el Master. El Bus I2C se considera ocupado después de la condición de Inicio. El Bus se considera libre de nuevo después de un cierto tiempo tras la condición de Stop.

Transfiriendo datos

- El numero de bytes que se envíen a la línea SDA no tiene restricción.
- Si un dispositivo esclavo no puede recibir o transmitir un byte de datos completo hasta que haya acabado alguno de los trabajos que realiza, puede mantener la línea SCL a "0" lo que fuerza al Master a permanecer en un estado de espera. Los datos continúan transfiriéndose cuando el dispositivo esclavo esta listo para otro byte de datos y desbloquea la línea de reloj SCL.

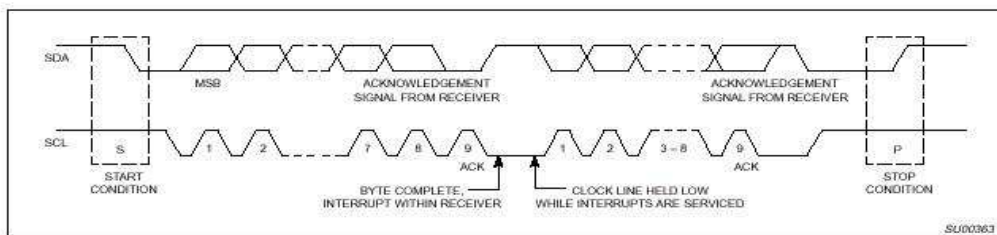


Figure 7. Data transfer on the I²C-bus

Reconocimiento

- El bit de reconocimiento es obligatorio en la transferencia de datos. El pulso de reloj correspondiente al bit de reconocimiento (ACK) es generado por el Master. El Transmisor desbloquea la línea SDA ("1") durante el pulso de reconocimiento. El receptor debe poner a "0" la línea SDA durante el pulso ACK de modo que siga siendo "0" durante el tiempo que el master genera el pulso "1" de ACK.

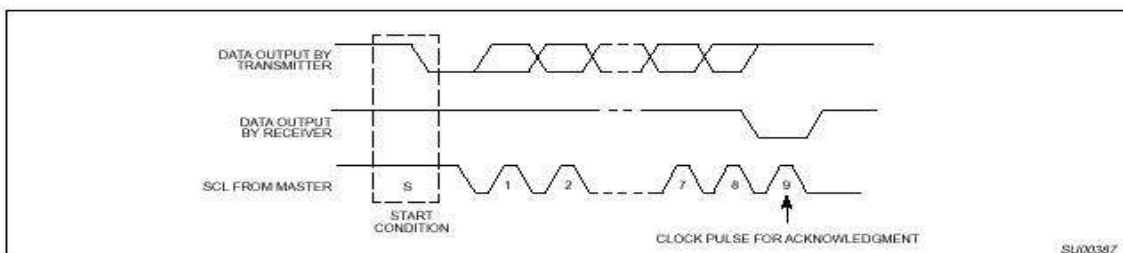
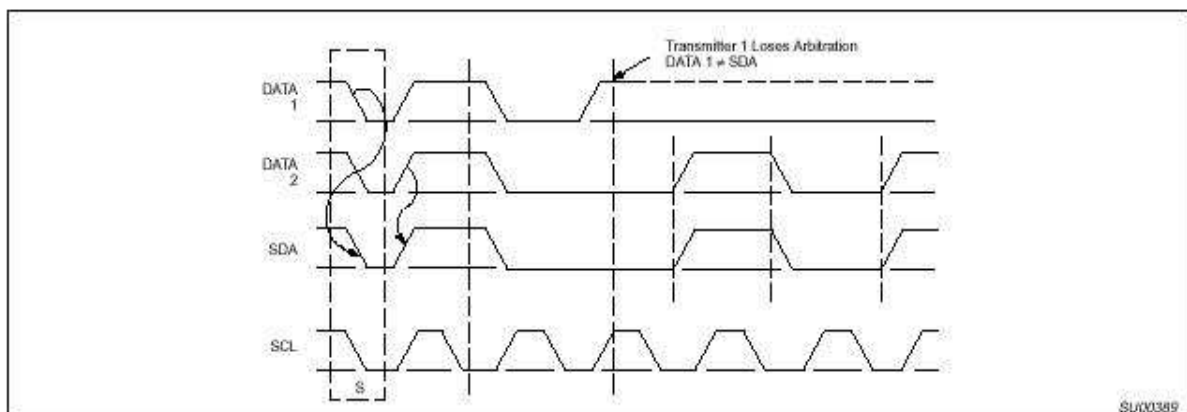


Figure 8. Acknowledge on the I²C-bus

Arbitraje

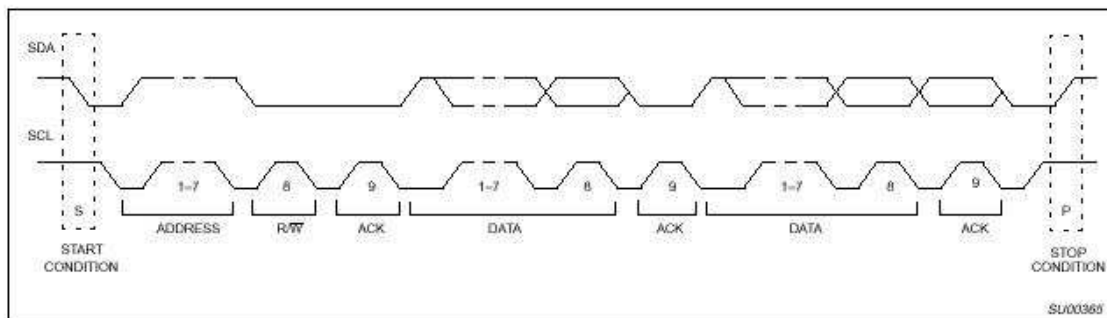
- Un master puede iniciar una transmisión solo si el bus esta libre. Dos o mas master pueden generar una condición de Inicio en el bus lo que da como resultado una condición de Inicio general. Cada Master debe comprobar si el bit de datos que transmite junto a su pulso de reloj, coincide con el nivel lógico en la línea de datos SDA. El sistema de arbitraje actúa sobre la línea de datos SDA, mientras la línea SCL esta a nivel "1", de una manera tal que el master que transmite un nivel "1", pierde el arbitraje sobre otro master que envía un nivel "0" a la línea de datos SDA. Esta situación continua hasta que se detecte la condición de Stop generada por el master que se hizo cargo del Bus.

Procedimiento de Arbitraje entre dos Master



Formato

- Los datos transferidos tienen la siguiente forma estándar:



- Después de la condición de Start un código de dirección de un esclavo es enviada, esta dirección tiene 7 bits seguidos por un octavo código que corresponde a una dirección R/W (0-indica transmisión/1-indica solicitud de datos). Una transferencia de datos siempre acaba con una condición de Stop generado por el master, sin embargo si un master todavía desea comunicarse con el bus, puede generar repetidamente condiciones de Start y direccionar a otro esclavo sin generar primero la condición de stop.